

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月21日

出 願 番 号

Application Number:

特願2003-012182

[ ST.10/C ]:

[ JP 2003-012182 ]

出 願 人

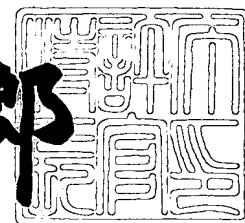
Applicant(s):

三菱電機株式会社

2003年 2月21日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009161

【書類名】 特許願

【整理番号】 542448JP01

【提出日】 平成15年 1月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66  
H01L 21/60

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 松永 光則

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

【氏名】 松石 継巳

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9803092

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 バーンインテスト用アダプタおよびバーンインテスト装置

【特許請求の範囲】

【請求項 1】 バーンインテスト用の入力波形を入力する端子を備えた複数の半導体チップが配置されたアセンブリ用基板に対し着脱可能なバーンインテスト用アダプタであって、

前記アセンブリ用基板に装着された時、前記アセンブリ用基板の各半導体チップの前記端子と接触するように配置される配線と、

前記配線に接続され、前記配線へ前記入力波形を入力するためのバーンインテスト用端子と、

を備えることを特徴とするバーンインテスト用アダプタ。

【請求項 2】 前記アセンブリ用基板が装着された状態で前記個々の半導体チップの位置に対応して前記配線上に、前記バーンインテスト用の入力波形の数を増加させるバーンインテスト用入力波形発生回路を、さらに備えることを特徴とする請求項 1 に記載のバーンインテスト用アダプタ。

【請求項 3】 前記バーンインテスト用アダプタは矩形状を有し、前記バーンインテスト用端子は、前記矩形状のバーンインテスト用アダプタの一辺に配置されることを特徴とする請求項 1 または 2 に記載のバーンインテスト用アダプタ。

【請求項 4】 請求項 3 に記載のバーンインテスト用アダプタと、  
前記バーンインテスト用端子が配置された位置で前記バーンインテスト用アダプタを保持するソケットと、

前記ソケットを保持し、このソケットにバーンインテスト用の入力波形を入力するための配線を有するバーンインボードと、

を備えることを特徴とするバーンインテスト装置。

【請求項 5】 前記ソケットが複数備えられることを特徴とする請求項 4 に記載のバーンインテスト装置。

【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

この発明は半導体集積回路装置の初期不良を検査するテスト装置に関するものであり、特にバーンインテスト用アダプタおよびバーンインテスト装置に関するものである。

## 【0002】

## 【従来の技術】

一般に半導体チップは、出荷前に初期不良や製造工程での不具合が発生していないことを確認した後、良品のみを出荷しており、この半導体チップの初期不良や製造工程での不具合の検査はバーンインテストと呼ばれるテストによって行われる。このバーンインテストでは、半導体チップを例えば125℃等の高温環境下に置き、半導体チップに電圧や信号を印加している。

## 【0003】

従来のバーンインテストは、半導体チップが形成されたウエハを半導体チップごとに切断し、この半導体チップを組み立て、半導体集積回路装置として仕上げた後に行っている。そのため、各半導体集積回路装置を個別にバーンインテスト用配線がなされたバーンインボードへ装着し、半導体集積回路装置の入力端子よりバーンインテスト用入力波形を入力している。

## 【0004】

しかし、この従来のバーンインテストでは、半導体チップを半導体集積回路装置に実装した後に行っているので、不良と判定された半導体集積回路装置はその実装工程およびその工程で使用される原材料に無駄が生じてしまう。

## 【0005】

そこで、特許文献1に記載のバーンインテストは、半導体チップが形成されたウエハを半導体チップごとに切断した後で、この半導体チップを半導体集積回路装置に組み立てる前に行うようにしている。ここでのバーンインテストでは、まず、バーンインテスト用の基板（以下、サブ基板という）にバーンインテスト用の配線とバーンインテスト用の端子を形成させている。そして、チップごとに切断された半導体チップをサブ基板に複数搭載させ、バーンインテスト用の端子と半導体チップのパッドとを電氣的に接続させ、バーンインテストを行っている。

このようなバーンインテストによって半導体チップの良否判定をした後、半導体チップが搭載された状態のサブ基板を半導体チップごとに切断して、良品と判定されたサブ基板上の半導体チップのみをサブ基板とともにメイン基板に実装して半導体集積回路装置として出荷している。

【0006】

【特許文献1】

特開平4-312943号公報（第3頁）

【0007】

【発明が解決しようとする課題】

上記特許文献1に記載の従来技術によれば、半導体チップをサブ基板に搭載させた状態でバーンインテストを実行し、その後サブ基板をチップごとに切断してメイン基板上に搭載しているのので、各半導体チップはメイン基板上に搭載された後に良否判定をする必要がなく、半導体チップの良否判定作業効率が向上する。

【0008】

しかし、バーンインテスト後にサブ基板を切断するため、サブ基板の再利用が不可能であり、サブ基板上にテストを行う半導体チップごとにバーンインテスト用の配線やバーンインテスト用の端子を形成する必要がある、半導体チップを搭載させるサブ基板のコストが高くなるという問題があった。

【0009】

また、サブ基板切断時にサブ基板とともにサブ基板上の配線も切断するために、回転式ブレード等の基板切断装置の寿命を縮め、バーンインテストがコスト高になり、このため半導体チップを得るコストが高くなるという問題があった。

【0010】

また、1つのサブ基板に複数の半導体チップを搭載させてバーンインテストを実行しているが、一度に測定する半導体チップの測定数を増やすためにはサブ基板を大きくするしかないという問題があった。

【0011】

この発明は上記に鑑みてなされたものであって、半導体チップを得るコストを低く抑え、一度に多数のチップをテストできるバーンインテスト用アダプタおよ

びバーンインテスト装置を得ることを目的とする。

【0012】

【課題を解決するための手段】

上述した課題を解決し、目的を達成するために、本発明にかかるバーンインテスト用アダプタにあっては、バーンインテスト用の入力波形を入力する端子を備えた複数の半導体チップが配置されたアセンブリ用基板に対し着脱可能なバーンインテスト用アダプタであって、前記アセンブリ用基板に装着された時、前記アセンブリ用基板の各半導体チップの前記端子と接触するように配置される配線と、前記配線に接続され、前記配線へ前記入力波形を入力するためのバーンインテスト用端子とを備えることを特徴とする。

【0013】

この発明によれば、バーンインテスト用アダプタを設けることにより、アセンブリ用基板上にバーンインテスト用の配線やバーンインテスト用の端子を設けることなく半導体チップのバーンインテストを可能とする。また、バーンインテスト用の配線やバーンインテスト用の端子が形成されたバーンインテスト用アダプタは切断されないので、再利用することが可能となる。

【0014】

【発明の実施の形態】

以下、添付図面を参照して、この発明にかかるバーンインテスト用アダプタおよびバーンインテスト装置の実施の形態を詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0015】

実施の形態 1.

図 1 および図 2 に従ってこの発明の実施の形態 1 について説明する。図 1 はこの発明のバーンインテスト用アダプタの構成の概略を示す上面図であり、図 2 はこの発明のバーンインテスト用アダプタの構成の概略を示す側面図である。

【0016】

アセンブリ用基板 10 のおもて面（アセンブリ用基板 10 がバーンインテスト用アダプタ 20 a と接続される側の面と反対の面）には複数の半導体チップ 11

がアセンブリ用基板 1 0 と電氣的に接続されて搭載されており、アセンブリ用基板 1 0 の裏面にはバーンインテスト用波形入力端子 2 3 が配置されている。このバーンインテスト用波形入力端子 2 3 と半導体チップ 1 1 はアセンブリ用基板 1 0 の裏面および内部に設けられた配線を介して電氣的に接続された状態となっている。

## 【 0 0 1 7 】

バーンインテスト用アダプタ 2 0 a は半導体チップを組み立てるための基板であるアセンブリ用基板 1 0 上に搭載された複数の半導体チップ 1 1 を測定するためのアダプタであり、バーンインテスト用アダプタ 2 0 a に対してアセンブリ用基板 1 0 は着脱可能な構成となっている。また、バーンインテスト用アダプタ 2 0 a のおもて面（バーンインテスト用アダプタ 2 0 a がアセンブリ用基板 1 0 と接続される側の面）は、バーンインテスト用端子 2 1 と、バーンインテスト用配線 2 2 とで構成されている。

## 【 0 0 1 8 】

バーンインテスト用端子 2 1 は、図示しないバーンインテスト用の入力波形発生装置とバーンインテスト用アダプタ 2 0 a を電氣的に接続するための端子である。

## 【 0 0 1 9 】

バーンインテスト用配線 2 2 は、アセンブリ用基板 1 0 をこのバーンインテスト用アダプタ 2 0 a に装着したときに、図示しないバーンインテスト用の入力波形発生装置からの入力波形を、アセンブリ用基板 1 0 のバーンインテスト用波形入力端子 2 3 に伝播するためにバーンインテスト用アダプタ 2 0 a 上に設けられた配線であり、バーンインテスト用端子 2 1 と複数のバーンインテスト用波形入力端子 2 3 を電氣的に接続している。そして、バーンインテスト用端子から引き延ばされるバーンインテスト用配線 2 2 は、配線の途中で分岐して複数のバーンインテスト用波形入力端子 2 3 のそれぞれに対して個別に接続されるような構成となっている。

## 【 0 0 2 0 】

図 1 では半導体チップ 1 1 上の 1 つのパッドにつながるバーンインテスト用波



形入力端子 2 3 とバーンインテスト用配線 2 2 を接続するため、バーンインテスト用波形入力端子 2 3 と接続するバーンインテスト用配線 2 2 は 1 本で構成されている。

#### 【 0 0 2 1 】

なお、ここでは半導体チップ 1 1 上のパッドが 1 つの場合について説明したが、半導体チップ 1 1 上の複数のパッドと電氣的に接続させることもできる。この場合、バーンインテスト用波形入力端子 2 3 は複数本のバーンインテスト用配線 2 2 と電氣的に接続させることが可能な構造になっており、バーンインテスト用配線 2 2 は上記複数のパッドと同数の本数で構成される。この複数本で構成されるバーンインテスト用配線 2 2 は、バーンインテスト用端子 2 1 から互いに接触しないように束となってバーンインテスト用波形入力端子 2 3 まで引き延ばされ、バーンインテスト用波形入力端子 2 3 へ入力される直前で複数の配線に分岐され、バーンインテスト用波形入力端子 2 3 と電氣的に接続される。

#### 【 0 0 2 2 】

ここで、複数の半導体チップ 1 1 が例えば半導体チップ 1 1 a, 1 1 b, 1 1 c, 1 1 d, . . . であり、複数のバーンインテスト用波形入力端子 2 3 が例えばバーンインテスト用波形入力端子 2 3 a, 2 3 b, 2 3 c, 2 3 d, . . . とすると、半導体チップ 1 1 とバーンインテスト用波形入力端子 2 3 は、半導体チップ 1 1 a とバーンインテスト用波形入力端子 2 3 a、半導体チップ 1 1 b とバーンインテスト用波形入力端子 2 3 b、半導体チップ 1 1 c とバーンインテスト用波形入力端子 2 3 c, . . . のように、それぞれ 1 対 1 で電氣的に接続されるような構成としてアセンブリ用基板 1 0 に配置される。

#### 【 0 0 2 3 】

また、アセンブリ用基板 1 0 の裏面および内部にはバーンインテスト用波形入力端子 2 3 と半導体チップ 1 1 を接続させるための配線があり、バーンインテスト用アダプタ 2 0 a とアセンブリ用基板 1 0 を接続することにより、バーンインテスト用端子 2 1、バーンインテスト用配線 2 2, バーンインテスト用波形入力端子 2 3, アセンブリ用基板 1 0, 半導体チップ 1 1 は電氣的に接続されることとなる。

## 【 0 0 2 4 】

このように、バーンインテスト用アダプタ 2 0 a を設けることにより、アセンブリ用基板 1 0 上にバーンインテスト用の配線やバーンインテスト用の端子を設けることなく、半導体チップ 1 1 のバーンインテストを可能としている。

## 【 0 0 2 5 】

つぎに、この実施の形態 1 にかかるバーンインテスト用アダプタを使用したバーンインテスト方法について説明する。まず、複数の半導体チップ 1 1 が形成されたウエハを半導体チップ 1 1 ごとに切断し、この半導体チップ 1 1 をアセンブリ用基板 1 0 と電氣的に接続するよう搭載させる。そして、この半導体チップ 1 1 が搭載されたアセンブリ用基板 1 0 とバーンインテスト用アダプタ 2 0 a を電氣的に接続させる。

## 【 0 0 2 6 】

つぎに、バーンインテスト用アダプタ 2 0 a を図示しないバーンインテスト用の入力波形発生装置に接続し、半導体チップ 1 1 を例えば 1 2 5 ℃ といった高温環境下にして、バーンインテスト用の入力波形発生装置からバーンインテスト用の入力波形を発生させる。バーンインテスト用入力波形発生装置で発生したバーンインテスト用入力波形は、バーンインテスト用端子 2 1、バーンインテスト用配線 2 2、バーンインテスト用波形入力端子 2 3 を介して複数の半導体チップ 1 1 に入力される。このようにしてバーンインテスト用の入力波形が入力された半導体チップ 1 1 は所定時間この状態を保った後、バーンインテスト用アダプタ 2 0 a からアセンブリ用基板 1 0 を取り外す。ここで、このバーンインテスト用アダプタ 2 0 a は、アセンブリ用基板 1 0 と一体に形成されないもので、切断されることがなく、再利用して次のバーンインテストに用いることができる。

## 【 0 0 2 7 】

この後、アセンブリ用基板 1 0 が半導体チップ 1 1 ごとに分離されるよう切断する。ここで、アセンブリ用基板 1 0 にはバーンインテスト用配線 2 2 はないので、アセンブリ用基板 1 0 の切断時に金属配線を切断する必要はない。最後に、アセンブリ用基板 1 0 がチップごとに分離されるよう切断し、初期不良を検出するため後のテストにおいてチップごとに良否が判定され、良品と判定されたもの

だけが次工程へ進められ、実装されることになる。

【 0 0 2 8 】

このように実施の形態 1 によれば、バーンインテスト用配線 2 2 やバーンインテスト用端子 2 1 を備えた構成のバーンインテスト用アダプタ 2 0 a としたので、アセンブリ用基板 1 0 にバーンインテスト用の配線やバーンインテスト用の端子を形成する必要がなくなり、コスト低減につながるという効果を有する。

【 0 0 2 9 】

また、バーンインテスト用アダプタ 2 0 a を再利用することができるため、バーンインテストのコスト削減を可能とする。さらに、バーンインテスト用アダプタ上のバーンインテスト用配線 2 2 を切断する必要がないので、切断に用いる回転式ブレード等の基板切断装置の寿命を縮めることはない。

【 0 0 3 0 】

したがって、バーンインテスト用アダプタ 2 0 a を用いることによって、低コストでテストできるバーンインテスト装置を得ることが可能となる。

【 0 0 3 1 】

実施の形態 2.

図 3 に従ってこの発明の実施の形態 2 について説明する。この実施の形態 2 においては、バーンインテスト時に印加可能な入力信号数を増加させるための回路をバーンインテスト用アダプタ上にさらに設けることを特徴とする。

【 0 0 3 2 】

図 3 はこの発明のバーンインテスト用アダプタ 2 0 b の構成を示す概略図である。図 3 の各構成要素のうち図 1 に示す実施の形態 1 のバーンインテスト用アダプタ 2 0 a と同一の機能を達する構成要素については同一番号を付しており重複する説明は省略する。

【 0 0 3 3 】

バーンインテスト用アダプタ 2 0 b は複数のバーンインテスト用入力波形発生回路 2 4 と、バーンインテスト用配線 2 2 と、バーンインテスト用端子 2 1 で構成されており、バーンインテスト用入力波形発生回路 2 4 は、例えば 1 つのバーンインテスト用の入力波形から複数のバーンインテスト用の入力波形を発生させ

るものである。

【 0 0 3 4 】

バーンインテスト用入力波形発生回路 2 4 は、バーンインテスト用アダプタ 2 0 b にアセンブリ用基板 1 0 が装着された時に、バーンインテスト用波形入力端子 2 3 の近傍でバーンインテスト用波形入力端子 2 3 と電氣的に接続されるような位置でバーンインテスト用アダプタ 2 0 b 上に配置されており、バーンインテスト用アダプタ 2 0 b 上に配置することが可能な半導体チップ 1 1 の数と同じ数だけ配置されている。これにより、バーンインテスト用入力波形発生回路 2 4 は、それぞれの半導体チップに対してバーンインテスト用の入力波形を発生させることが可能となる。

【 0 0 3 5 】

一般に、半導体チップ 1 1 のバーンインテストにおいて複数のパッドを用いる場合、そのパッド数と同数の配線数を必要とし、それぞれの配線に対してそれぞれ適当な入力波形を入力する必要がある事が知られている。この実施の形態 2 においては例えば 1 本のバーンインテスト用配線 2 2 を、バーンインテスト用入力波形発生回路 2 4 によって複数の配線に分岐させている。

【 0 0 3 6 】

ここで、例えば 1 つのバーンインテスト用の入力波形が、バーンインテスト用端子 2 1 とバーンインテスト用配線 2 2 を介してバーンインテスト用入力波形発生回路 2 4 に送られた場合、バーンインテスト用入力波形発生回路 2 4 はこの 1 つの入力波形を複数の配線に分岐してバーンインテスト用波形入力端子 2 3 内の複数端子へ出力し、半導体チップ 1 1 へ入力することが可能となる。また、分岐後の配線に対しては各配線に対して複数種類の波形を出力させることも可能である。

【 0 0 3 7 】

このように、例えば 1 本のバーンインテスト用配線 2 2 をバーンインテスト用入力波形発生回路 2 4 によって複数の配線に分岐させた後、バーンインテスト用波形入力端子 2 3 を介して各配線と半導体チップ 1 1 の有する複数のパッドを電氣的に接続する方が、バーンインテスト用端子 2 1 から複数本のバーンインテス

ト用配線 2 2 を引き延ばし、各配線と半導体チップ 1 1 の有する複数のパッドを電氣的に接続するよりもバーンインテスト用配線 2 2 の配線構造が簡略化される。また、バーンインテスト用配線 2 2 が簡略化されるとバーンインテスト用端子 2 1 の数を減らすことも容易になる。

## 【 0 0 3 8 】

つぎに、この実施の形態 2 にかかるバーンインテスト用アダプタを使用したバーンインテスト方法について説明する。図示しないバーンインテスト用入力波形発生装置からのバーンインテスト用の入力波形は、バーンインテスト用端子 2 1 を介してバーンインテスト用配線 2 2 に送られ、この入力波形はこのバーンインテスト用配線 2 2 により複数のバーンインテスト用入力波形発生回路 2 4 に送られる。ここで、バーンインテスト用入力波形発生回路 2 4 は、前述の入力波形を所望の配線数に応じて分岐させ、さらに複数種類の波形に変換し、それぞれの半導体チップ 1 1 に入力させる。

## 【 0 0 3 9 】

このように実施の形態 2 によれば、バーンインテスト用入力波形発生回路 2 4 を設けたことにより、バーンインテスト用アダプタ 2 0 b 内の配線数を減らすことやバーンインテスト用端子 2 1 を減らすことが可能となるため、バーンインテスト用アダプタ 2 0 b の構造が単純になりその作成も容易となる。

## 【 0 0 4 0 】

実施の形態 3.

図 4 に従ってこの発明の実施の形態 3 について説明する。この実施の形態 3 においては、バーンインテスト用アダプタが複数の場合であっても 1 度にバーンインテストの実施を可能とするバーンインボードをさらに設けることを特徴とする。

## 【 0 0 4 1 】

図 4 はこの発明のバーンインテスト装置の構成を示す概略図である。図 4 の各構成要素のうち図 1 および図 2 に示す実施の形態 1 のバーンインテスト用アダプタ 2 0 a 等と同一の機能を達する構成要素については同一番号を付しており重複する説明は省略する。

## 【 0 0 4 2 】

この実施の形態 3 にかかるバーンインテスト装置はアセンブリ用基板 1 0 を装着することが可能なバーンインテスト用アダプタ 2 0 a とバーンインボード 3 0 で構成されている。

## 【 0 0 4 3 】

バーンインテスト用アダプタ 2 0 a は実施の形態 1 のものと同様の構成をしており、この図 4 ではアセンブリ用基板 1 0 がバーンインテスト用アダプタ 2 0 a に装着された状態であり、1 ～ 複数個用意されている。ここで、アセンブリ用基板 1 0 とバーンインテスト用アダプタ 2 0 a は、バーンインテスト用配線 2 2 とバーンインテスト用波形入力端子 2 3 が電氣的に接続されるような位置で、例えばバネを用いたハサミ等の固定手段により固定される。

## 【 0 0 4 4 】

バーンインテスト用アダプタ 2 0 a 上のバーンインテスト用端子 2 1 は、バーンインボード 3 0 との接続を容易にするため、図 1 に示されるようにバーンインテスト用アダプタ 2 0 a の最外周部分の一部に配置されており、バーンインテスト用アダプタ 2 0 a 上に複数配置することも可能である。

## 【 0 0 4 5 】

バーンインボード 3 0 は、図示しないバーンインテスト用波形発生装置からの入力波形をバーンインテスト用アダプタ 2 0 a に送るためのボードであり、バーンインボード 3 0 上のソケット 3 1 はバーンインテスト用アダプタ 2 0 a 内のバーンインテスト用端子 2 1 をバーンインボード 3 0 に電氣的に接続させるとともにバーンインテスト用アダプタ 2 0 a をバーンインボード 3 0 に固定させるためのものである。なお、ソケット 3 1 は複数個でもよく、この場合はバーンインボード 3 0 上に複数個のバーンインテスト用アダプタ 2 0 a を装着させることが可能となる。バーンインテスト用アダプタ 2 0 a とバーンインボード 3 0 とは、バーンインテスト用アダプタ 2 0 a 内のバーンインテスト用端子 2 1 をバーンインボード 3 0 上のソケット 3 1 に挿入することによって行われ、このような挿入によってバーンインテスト用端子 2 1 とソケット 3 1 は電氣的に接続されることとなる。

## 【 0 0 4 6 】

アセンブリ用基板 1 0 を装着したバーンインテスト用アダプタ 2 0 a は 1 ～複数個で構成され、バーンインテスト用アダプタ 2 0 a とバーンインボード 3 0 は、バーンインボード 3 0 の上面に対してバーンインテスト用アダプタ 2 0 a を垂直に立てた状態で 3 次元的に接続されている。

## 【 0 0 4 7 】

このように、バーンインボード 3 0 上へのバーンインテスト用アダプタ 2 0 a の装着は、アセンブリ用基板と接続されたバーンインテスト用アダプタ 2 0 a の最外周部分に設けたバーンインテスト用端子 2 1 を用いて 3 次元的に行うことが可能となる。

## 【 0 0 4 8 】

つぎに、この実施の形態 3 にかかるバーンインテスト装置を使用したバーンインテスト方法について説明する。半導体チップ 1 1 をアセンブリ用基板 1 0 と電氣的に接続するよう搭載させる。そして、この半導体チップ 1 1 が搭載されたアセンブリ用基板 1 0 とバーンインテスト用アダプタ 2 0 a を電氣的に接続させる。

## 【 0 0 4 9 】

半導体チップ 1 1 を装着したバーンインテスト用アダプタ 2 0 a とバーンインボード 3 0 を電氣的に接続させるため、バーンインテスト用アダプタ 2 0 a のバーンインテスト用端子 2 1 をバーンインボード 3 0 上のソケット 3 1 に装着する。

## 【 0 0 5 0 】

次に、バーンインボード 3 0 を図示しないバーンインテスト用の入力波形発生装置に接続し、半導体チップ 1 1 を例えば 1 2 5 ℃ といった高温環境下にして図示しないバーンインテスト用の入力波形発生装置からバーンインテスト用の入力波形を発生させる。バーンインテスト用入力波形発生装置からのバーンインテスト用入力波形は、バーンインボード 3 0 上に施された配線を通して、ソケット 3 1 、バーンインテスト用端子 2 1 、バーンインテスト用配線 2 2 、バーンインテスト用波形入力端子 2 3 を介して複数の半導体チップ 1 1 に入力される。

## 【 0 0 5 1 】

このようにしてバーンインテスト用の入力波形が入力された半導体チップ 1 1 は、所定時間この状態を保った後、バーンインテスト用アダプタ 2 0 a から半導体チップ 1 1 と接続した状態のアセンブリ用基板 1 0 を取り外す。最後にアセンブリ用基板 1 0 がチップごとに分離されるよう切断し、後のテストにおいてチップごとに良否が判定され、良品と判定されたものだけが次工程へ進められ、実装されることになる。

## 【 0 0 5 2 】

なお、この実施の形態 3 においては、実施の形態 1 のバーンインテスト用アダプタ 2 0 a を用いて説明したが、実施の形態 2 のバーンインテスト用アダプタ 2 0 b を用いても良い。

## 【 0 0 5 3 】

このように実施の形態 3 によれば、バーンインテスト用アダプタ 2 0 a の最外周部分にバーンインテスト用端子 2 1 を設け、バーンインテスト装置にバーンインボード 3 0 を備えているため、バーンインテスト用アダプタ 2 0 a の装着は 3 次元的に行うことができ、小スペースで一度に行えるバーンインテストの測定チップ数が増加する。

## 【 0 0 5 4 】

また、バーンインテストを実施した後、半導体チップ 1 1 をアセンブリ用基板 1 0 から取り外す必要がないため、作業工程を減らすことが可能となる。

## 【 0 0 5 5 】

また、半導体チップ 1 1 を半導体集積回路装置に実装する前に半導体チップ 1 1 のバーンインテストが可能となるため、実装前の半導体チップ 1 1 の良品と不良品を選別することが可能となる。これにより、良品のみを実装して不良品を実装する必要がなくなるので、半導体集積回路装置の製造コスト削減につながる。

## 【 0 0 5 6 】

## 【 発 明 の 効 果 】

以上説明したとおり、この発明によれば、アセンブリ用基板にバーンインテスト用の配線やバーンインテスト用の端子を形成する必要がなくなり、バーンイン



テスト用アダプタ上のバーンインテスト用配線を切断する必要がなくなるため、アセンブリ用基板の切断に用いる基板切断装置の寿命を縮めることはない。さらに、バーンインテスト用アダプタを再利用することができるため、低コストでテストできるバーンインテスト装置を得ることが可能になるという効果を奏する。

【図面の簡単な説明】

【図 1】 この発明のバーンインテスト用アダプタの構成を示す図である。

【図 2】 この発明の実施の形態 1 にかかるバーンインテスト用アダプタの構成を示す図である。

【図 3】 この発明の実施の形態 2 にかかるバーンインテスト用アダプタの構成を示す図である。

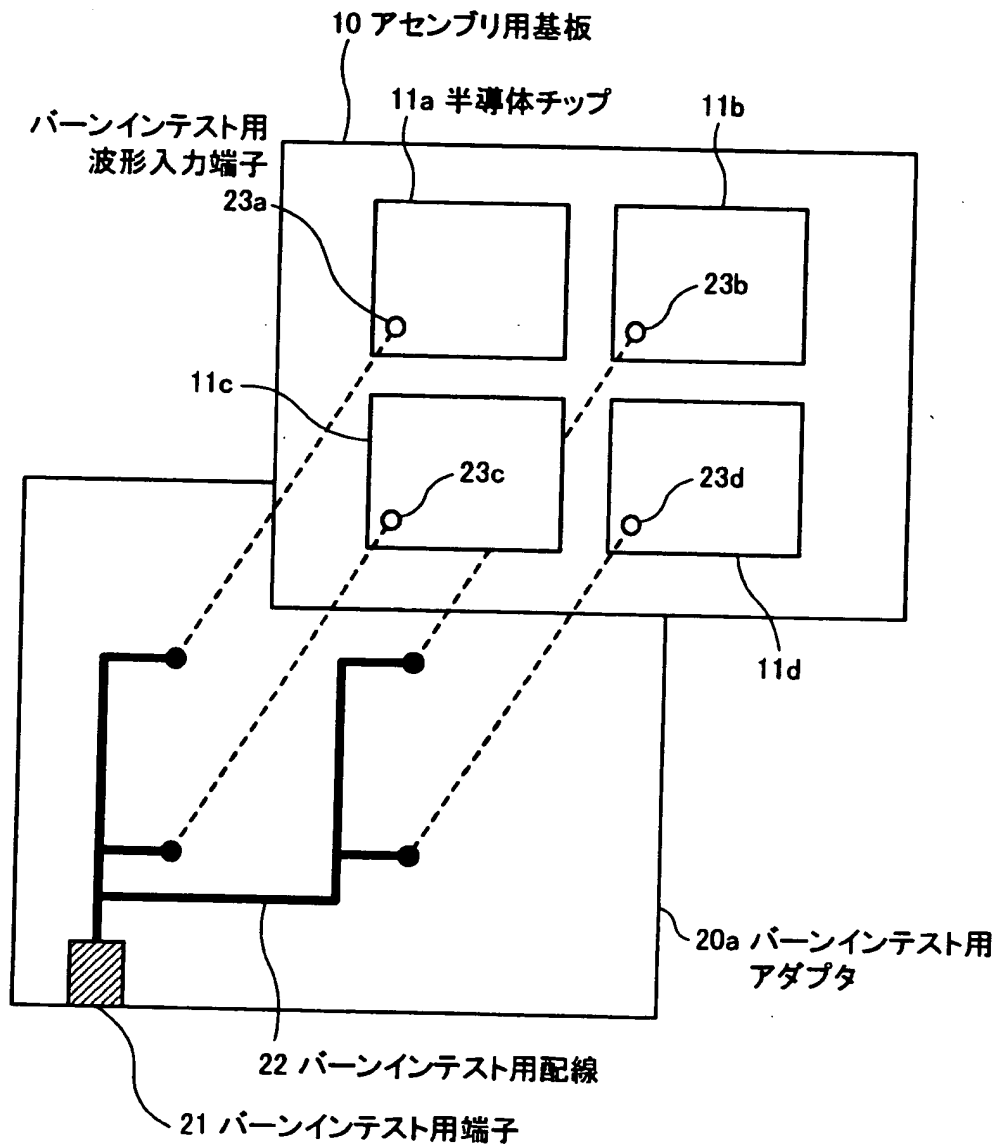
【図 4】 この発明の実施の形態 3 にかかるバーンインテスト装置の構成を示す図である。

【符号の説明】

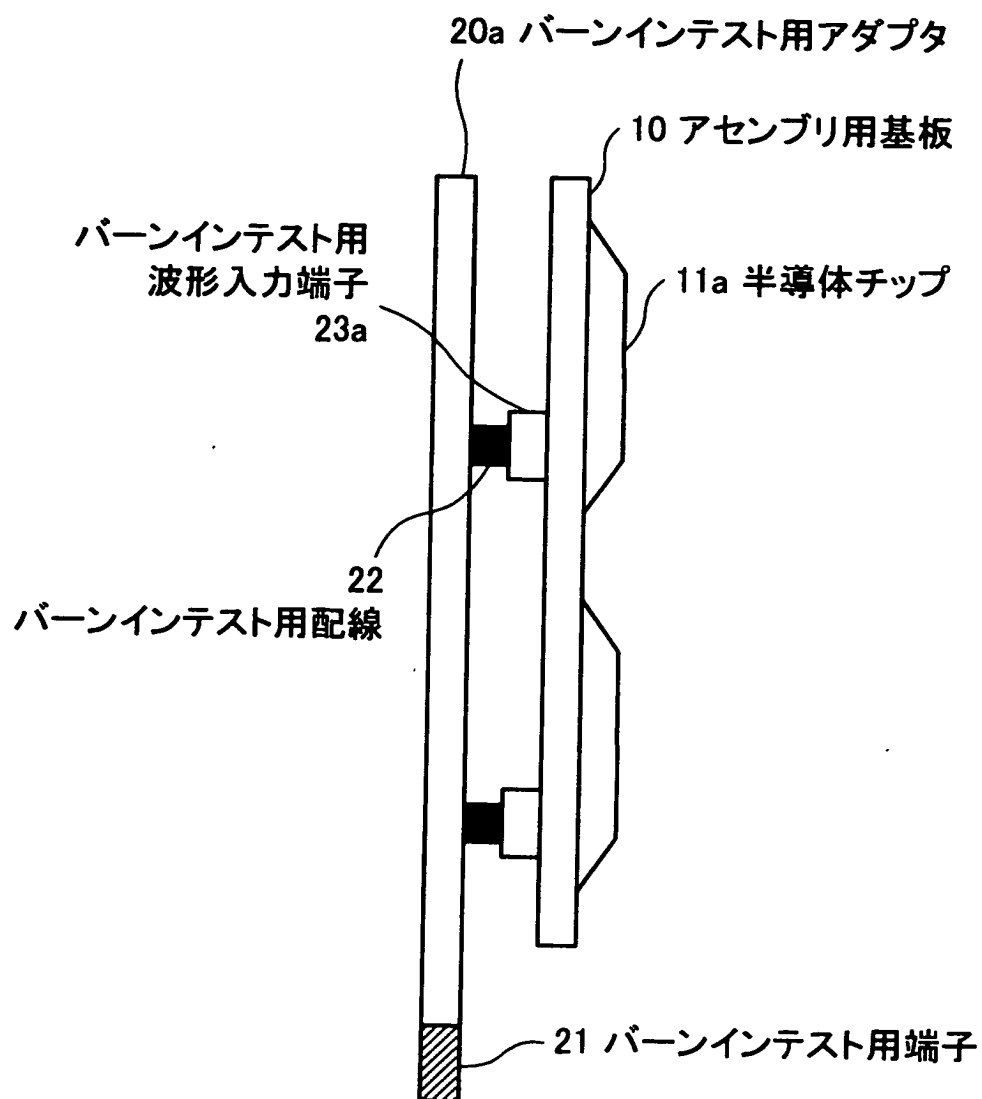
1 0 アセンブリ用基板、1 1 a, 1 1 b, 1 1 c, 1 1 d 半導体チップ、  
2 0 a, 2 0 b バーンインテスト用アダプタ、2 1 バーンインテスト用端子、  
2 2 バーンインテスト用配線、2 3 バーンインテスト用波形入力端子、2  
4 a, 2 4 b, 2 4 c, 2 4 d バーンインテスト用入力波形発生回路、3 0  
バーンインボード、3 1 ソケット。

【書類名】 図面

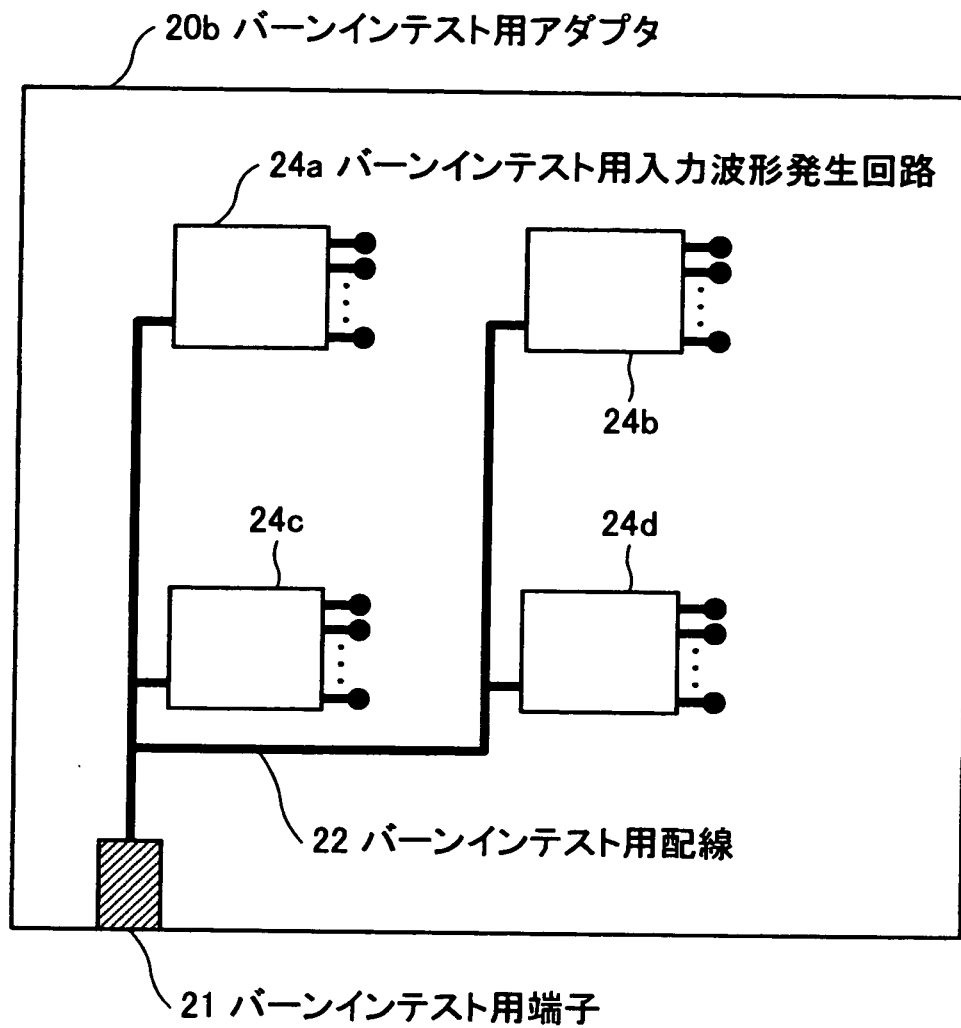
【図 1】



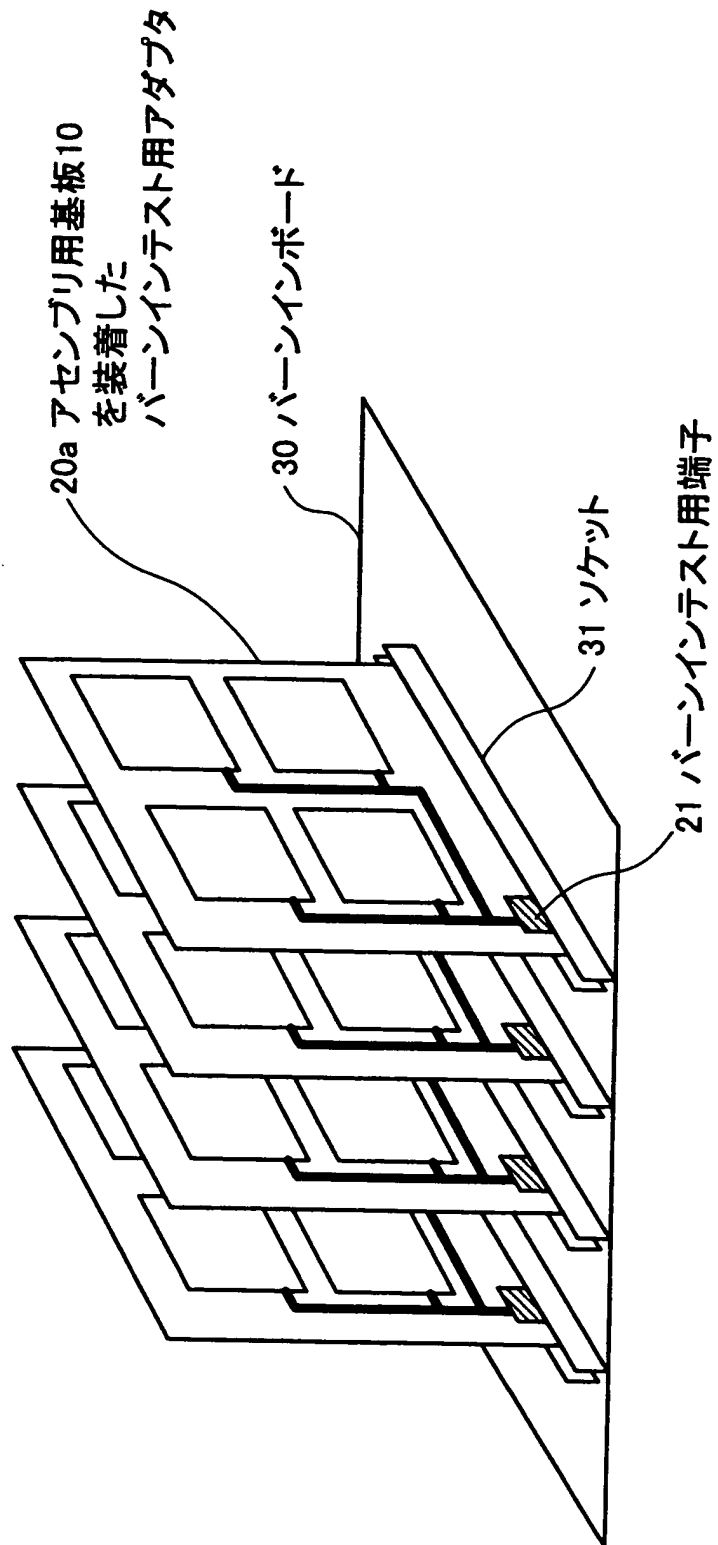
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 半導体チップを得るコストを低く抑え、一度に多数のチップをテストできるバーンインテスト用アダプタおよびバーンインテスト装置を得ること。

【解決手段】 バーンインテスト用の入力波形を入力する端子 2 3 を備えた複数の半導体チップ 1 1 が配置されたアセンブリ用基板 1 0 に対し着脱可能なバーンインテスト用アダプタ 2 0 a であって、アセンブリ用基板 1 0 に装着された時、アセンブリ用基板 1 0 の各半導体チップ 1 1 の端子 2 3 と接触するように配置される配線 2 2 と、配線 2 2 に接続され、配線 2 2 へ入力波形を入力するためのバーンインテスト用端子 2 1 とを備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号  
氏 名 三菱電機株式会社